

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-134878

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-295419

(71)Applicant : TOSHIBA MICROELECTRONICS  
CORP  
TOSHIBA CORP

(22)Date of filing : 28.10.1997

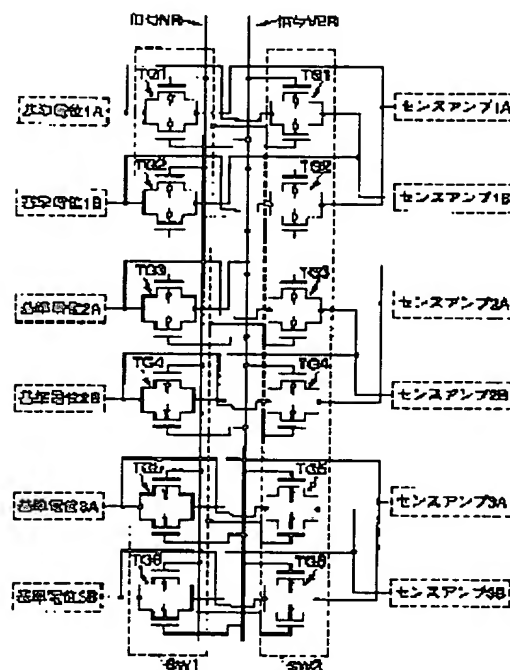
(72)Inventor : IWAHASHI HIROSHI

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory which possibly reduces the difference between the read speeds or read margins suited to selected memory cells.

SOLUTION: The memory comprises sense amplifiers 1A, 1B, 2A, 2B, 3A, 3B for comparing column line potentials with reference potentials 1A, 1B, 2A, 2B, 3A, 3B to read data from memory cells which store data of bits to column lines by varying the amt. of charges stored in floating gates, thereby detecting the cell data and switch circuits SW1, SW2 for switching and feeding the reference potentials to the sense amplifiers at a normal read time and verify read time.



## LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3417817

[Date of registration] 11.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-134878

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>8</sup>

G 1 1 C 16/02

識別記号

F I

G 1 1 C 17/00

6 1 1 A

6 1 3

6 4 1

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21) 出願番号 特願平9-295419

(22) 出願日 平成9年(1997)10月28日

(71) 出願人 000221199

京芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社京芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩崎 弘

神奈川県川崎市川崎区駅前本町25番地1

京芝マイクロエレクトロニクス株式会社内

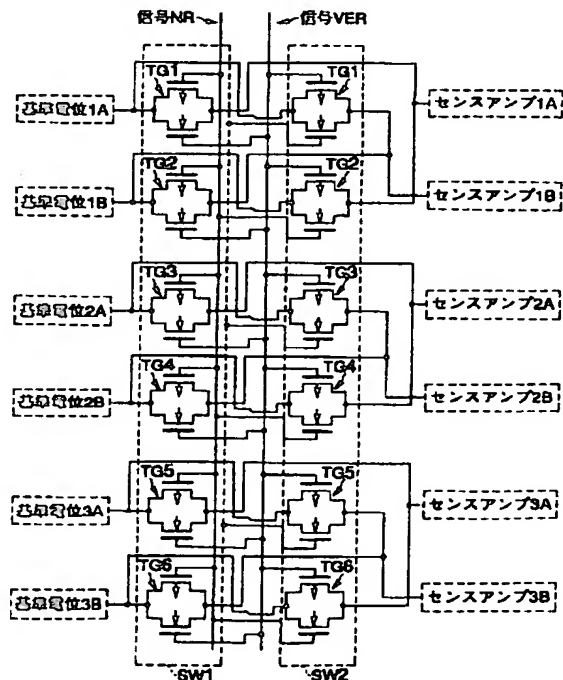
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【要約】

・【課題】 選択されたメモリセルに応じた読み出し速度の違いや読み出しマージンの違いをできるだけ小さくし得る不揮発性半導体メモリを提供する。

・【解決手段】 浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルから列線へデータを読み出すために列線電位を複数の基準電位(1A、1B、2A、2B、3A、3B)と比較してセルデータを検出する複数のセンスアンプ(1A、1B、2A、2B、3A、3B)と、センスアンプに供給する基準電位を通常読み出し時とベリファイ読み出し時とで切り換え供給するスイッチ回路(SW1、SW2)とを具備する。



1

・【特許請求の範囲】

・【請求項 1】 行線と、  
列線と、

前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、

前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、

前記メモリセルへのデータの書き込み、この書き込み後の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返し行うように制御するプログラム手段とを具備し、

前記センスアンプは、複数の基準電位として、第 1 の基準電位、第 2 の基準電位、第 3 の基準電位、第 4 の基準電位、第 5 の基準電位、第 6 の基準電位の順で順次電位が高く設定された少なくとも 6 つの基準電位を用い、通常読み出し時は、前記列線の電位が、前記第 2 の基準電位よりも低いか、前記第 1 の基準電位と前記第 4 の基準電位との間にあるか、前記第 3 の基準電位と前記第 6 の基準電位との間にあるか、前記第 5 の基準電位よりも高いかを検出することによってデータを読み出し、前記ペリファイ読み出しの時は、前記列線の電位が、前記第 2 の基準電位と前記第 3 の基準電位との間にあるか、前記第 4 の基準電位と前記第 5 の基準電位との間にあるか、前記第 6 の基準電位よりも高いかを検出することによってデータを読み出すことを特徴とする不揮発性半導体メモリ。

・【請求項 2】 請求項 1 記載の不揮発性半導体メモリにおいて、

前記センスアンプで用いる基準電位は、スイッチング手段によって前記通常読み出し時と前記ペリファイ読み出し時とに応じて切り替え供給されることを特徴とする不揮発性半導体メモリ。

・【請求項 3】 行線と、  
列線と、

前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、

前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、

前記メモリセルへのデータの書き込み、この書き込み後

2

の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返し行うプログラム手段とを具備し、

10 前記センスアンプは、複数の基準電位として、第 1 の基準電位、第 2 の基準電位、第 3 の基準電位、第 4 の基準電位、第 5 の基準電位、第 6 の基準電位の順で順次電位が高く設定された少なくとも 6 つの基準電位と、前記第 1 の基準電位と第 2 の基準電位との間の電位に設定された第 7 の基準電位と、前記第 3 の基準電位と第 4 の基準電位との間の電位に設定された第 8 の基準電位と、前記第 5 の基準電位と第 6 の基準電位との間の電位に設定された第 9 の基準電位とを用い、

通常読み出し時は、前記列線の電位が、前記第 2 の基準電位よりも低いか、前記第 1 の基準電位と前記第 4 の基準電位との間にあるか、前記第 3 の基準電位と前記第 6 の基準電位との間にあるか、前記第 5 の基準電位よりも高いかを検出することによってデータを読み出し、前記ペリファイ読み出しの時は、前記列線の電位が、前記第 7 の基準電位と前記第 8 の基準電位との間にあるか、前記第 8 の基準電位と前記第 9 の基準電位との間にあるか、前記第 9 の基準電位よりも高いかを検出することによってデータを読み出すことを特徴とする不揮発性半導体メモリ。

・【請求項 4】 行線と、

30 列線と、

前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、

前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、

40 前記メモリセルへのデータの書き込み、この書き込み後の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返し行うプログラム手段とを具備し、

前記センスアンプは、複数の基準電位として、第 1 の基準電位、前記第 1 の基準電位よりも高い少なくとも 2 つの基準電位、前記少なくとも 2 つの基準電位よりも高い第 2 の基準電位の少なくとも 4 つの基準電位を用い、

3

通常の読み出し時は、前記列線の電位が、第1の基準電位よりも低いか、前記第1の基準電位よりも高い少なくとも2つの基準電位同士の間にあるか、前記第2の基準電位よりも高いかを検出することによってデータを読み出し、

前記ペリファイ読み出しの時は、前記少なくとも2つの基準電位の低い方の基準電位よりも低い電位の基準電位と前記少なくとも2つの基準電位の高い方の基準電位よりも高い電位の基準電位との間にあるか、前記第2の基準電位よりも低い電位の基準電位よりも高いかを検出することによってデータを読み出すことを特徴とする不揮発性半導体メモリ。

・【請求項5】 請求項4記載の不揮発性半導体メモリにおいて、

前記センスアンプは、通常の読み出し時および前記ペリファイ読み出し時において同一のものが使用され、

前記基準電位は、電源電位と接地電位との間に直列に接続された負荷トランジスタおよび前記メモリセルと等価なトランジスタとの接続点から供給され、

前記メモリセルの浮遊ゲートに対応する前記メモリセルと等価なトランジスタのゲート電極には、前記通常の読み出し時と前記ペリファイ読み出し時とで異なる電位がスイッチング手段を介して供給されることを特徴とする不揮発性半導体メモリ。

・【請求項6】 行線と、

列線と、

前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、

前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、

前記センスアンプに供給される前記複数の基準電位を当該不揮発性半導体メモリの製造後に所定の電位に設定するための電位設定手段とを具備したことを特徴とする不揮発性半導体メモリ。

・【請求項7】 請求項6記載の不揮発性半導体メモリにおいて、

前記複数の基準電位は複数組用意され、

前記電位設定手段は、前記複数組の内の所定の一つの組を選択して前記センスアンプに供給するように制御することを特徴とする不揮発性半導体メモリ。

・【請求項8】 行線と、

列線と、

前記行線にゲートが接続され、前記列線にドレインが接続されるメモリセルと、前記メモリセルからのデータの読み出し時に基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、

4

前記列線の電位に対応して、前記基準電位を前記列線の電位との電位差が大きくなる様に変化させるように設定する基準電位設定手段とを具備したことを特徴とする不揮発性半導体メモリ。

・【請求項9】 請求項8記載の不揮発性半導体メモリにおいて、

前記メモリセルは、ドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶することを特徴とする不揮発性半導体メモリ。

・【請求項10】 行線と、

列線と、

前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、

前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出する複数のセンスアンプと、

前記センスアンプに供給する基準電位を通常読み出し時とペリファイ読み出し時とで切り換え供給するスイッチ回路とを具備することを特徴とする不揮発性半導体メモリ。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】本発明は、不揮発性半導体メモリに係り、特に一つのメモリセルに複数ビット分のデータを記憶した不揮発性半導体メモリに関するものである。

・【0002】

・【従来の技術】一つの不揮発性メモリセルに2ビット分のデータを記憶するようにした不揮発性半導体メモリは、本願発明者等による提案に係る特開昭59-121696号公報に開示されている。

・【0003】この従来例のメモリでは、図17に示すようなセンスアンプ部を用い、図18に示すような電位の高低関係を利用している。図17に示すように、3個のセンスアンプ1、2、3と基準電位1、2、3を設け、メモリセルからビット線に読み出されたビット線電位と基準電位とをセンスアンプで比較して記憶されたデータを検出している。即ち、それぞれ基準電位1、2、3が入力されたセンスアンプ1、2、3でビット線電位と基準電位1、2、3とを比較し、ビット線電位が基準電位に対してどこに位置しているかによって2ビット分のデータを読み出していた。

・【0004】この場合、下記の表1および表2に示すように、基準電位1、2、3よりもビット線電位が低ければセンスアンプ1、2、3のそれぞれの出力である出力1、2、3が共に‘0’であるので、これを例えば論理

5

回路（図示せず）で検出してメモリセルの記憶データとしてD1 = '0'、D2 = '0'を出力する。

\*・【0005】

\* ・【表1】

出力1	出力2	出力3	記憶データ	
			D1	D2
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

・【0006】

・【表2】

メモリセル Vth	記憶データ	
	D1	D2
Vth1	0	0
Vth2	0	1
Vth3	1	0
Vth4	1	1

Vth1 &lt; Vth2 &lt; Vth3 &lt; Vth4

・【0007】同様に、ビット線電位が基準電位1と2との間の電位であるならば、出力1が'1'、出力2、3が共に'0'であるので、これを論理回路で検出してメモリセルの記憶データとしてD1 = '0'、D2 = '1'を出力する。

・【0008】上記2ビット分のデータの組み合わせは4種類あり、この4種類を不揮発性メモリセルの浮遊ゲートへの電子の注入量を4種類に変化させ、注入量に対応してメモリセルの閾値電圧を4種類Vth1～Vth4にすることによって記憶している。

・【0009】即ち、ビット線電位が基準電位の内一番小さい基準電位1よりも低ければ、'00'の2ビット分のデータを記憶し（閾値電圧が最も低い状態＝Vth1）、ビット線電位が基準電位の内一番大きい基準電位3よりも高ければ、'11'のデータを記憶し（閾値電圧が最も高い状態＝Vth4）、ビット線電位が基準電位1と基準電位2との間にあれば'01'のデータを記憶し（閾値電圧が3番目に高いもの＝Vth2）、ビット線電位が基準電位2と基準電位3との間にあれば'10'のデータを記憶している（閾値電圧が2番目に高い状態＝Vth3）。

6

・【0010】ここで、前記不揮発性メモリセルの断面構造について説明する。図19（a）は、オフセットゲート部が無いタイプのメモリセル、図19（b）は制御ゲートでチャンネルの一部が制御されるようになったオフセットゲートを有するタイプのメモリセルである。

20 ・【0011】これらのメモリセルのデータの消去の時には、制御ゲートを0Vにして、図19（a）のタイプのメモリセルではドレインあるいはソースに高電圧を印加し、図19（b）のタイプのメモリセルではドレインに高電圧を印加して浮遊ゲートから電子を放出する。

・【0012】この時、図19（a）のタイプのメモリセルでは、メモリセルの閾値電圧が負にならないようにしなければならぬので制御が複雑になるのに対して、図19（b）のタイプのメモリセルではオフセットゲートがあるので、浮遊ゲートで制御されるチャンネル領域を有するトランジスタ部の閾値電圧が負の値になってもよく、消去の時の制御が簡単になるという利点を有する。

・【0013】しかし、メモリセルのサイズは、図19（a）のタイプのメモリセルの方が図19（b）のタイプのメモリセルよりも小さくできる利点を有する。次に、上記したようなメモリへのデータの一般的な書き込みと消去（一種のデータの書き込み）について図20のタイミング図を参照しながら説明する。

・【0014】データの書き込み時は、メモリセルのドレインおよび制御ゲートにそれぞれ所定の電圧を与え、ソースを0Vにしてメモリセルに電流を流して浮遊ゲートに電子を注入する。また、データの書き込み時には、書き込み後にメモリセルからデータを読み出し（ベリファイ読み出し）、センスアンプ1、2、3からの出力結果と書き込みたいデータとが一致するまで書き込みと読み出しとを繰り返し行い、一致した時に書き込みを止めるようにしている。一致しているかどうかはデータを外部に読み出して外部で判定しても良いし、一致しているかどうかはメモリチップの内部で判定しても良いが、データの読み出しを始めてから所定の時間（ストロブ）の後に検出する。

50

7

・【0015】データの消去時には、メモリセルの制御ゲートを0Vにし、ドレインあるいはソースに高電圧を印加して、浮遊ゲートからドレインあるいはソースに電子を放出させる。このように消去した状態は、表2の最も低い閾値電圧である $V_{th1}$ 、即ち、'00'のデータを記憶した状態に対応する。また、データの消去時には、消去後にペリファイ読み出しを行い、ビット線電位が基準電位1よりも低いかをセンスアンプで検出して消去とペリファイ読み出しとを繰り返し行い、所定の閾値電圧に達した時に消去を終了する。この後、上記のデータ書き込みが行われる。

・【0016】このような不揮発性メモリセルがマトリクス状に配置された不揮発性半導体メモリにあっては、メモリセルに記憶させるデータに応じて、例えば基準電位1と基準電位2との間にビット線の電位を設定できる。

・【0017】しかし、メモリセルの書き込み特性が各メモリセルで異なっているので、選択されたメモリセルの書き込み特性に応じて、基準電位1と基準電位2との間、あるいは基準電位2と基準電位3との間におけるビット線の電位が選択されたメモリセルそれぞれで異なってくるので、従来は、選択されたメモリセルに応じて読み出し速度が違っていた。

・【0018】即ち、図18においては、ビット線電位は1本の線で表されているが、実際は、例えばビット線電位2は選択されたメモリセルに応じて図18中に示したビット線電位2の線の上下にある分布を持ってばらついて存在するので、選択されたメモリセルが分布のどこに属するかによって読み出し速度が異なっていた（ばらついていた）。

・【0019】また、基準電位1と基準電位2との間、あるいは基準電位2と基準電位3との間におけるビット線の電位が何れか一方の側の基準電位の方に近くなる時は、近い方の基準電位に対して読み出しの時のマージンが小さくなるという問題もある。

・【0020】このようなメモリセルの閾値電圧の分布の状態を図21に示す。即ち、メモリセルの閾値電圧を $V_{th1} \sim V_{th4}$ に設定しようとしても、各メモリセル毎の特性のばらつきによって、設定する閾値電圧毎にある分布を持ってばらつく。また、この分布は、分布自体が破線で示したように各チップによって変化する。このため、チップ毎にも読み出し速度や読み出しマージンが違ってくる。

・【0021】

・【発明が解決しようとする課題】上記したように従来の不揮発性半導体メモリは、各メモリセルで書き込み特性が異なっているので、選択されたメモリセルに応じて読み出し速度が異なり、これに起因してチップ毎にも読み出し速度や読み出しマージンが違ってくるという問題があった。

8

・【0022】本発明は上記の問題点を解決すべくなされたもので、選択されたメモリセルに応じた読み出し速度の違いや読み出しマージンの違いをできるだけ小さくし得る不揮発性半導体メモリを提供することを目的とする。

・【0023】

・【課題を解決するための手段】本発明の不揮発性半導体メモリは、行線と、列線と、前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、前記メモリセルへのデータの書き込み、この書き込み後の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返し行うプログラム手段とを具備し、前記センスアンプは、複数の基準電位として、第1の基準電位、第2の基準電位、第3の基準電位、第4の基準電位、第5の基準電位、第6の基準電位の順で順次電位が高く設定された少なくとも6つの基準電位を用い、通常の読み出し時は、前記列線の電位が、前記第2の基準電位よりも低いか、前記第1の基準電位と前記第4の基準電位との間にあるか、前記第3の基準電位と前記第6の基準電位との間にあるか、前記第5の基準電位よりも高いかを検出することによってデータを読み出し、前記ペリファイ読み出しの時は、前記列線の電位が、前記第2の基準電位と前記第3の基準電位との間にあるか、前記第4の基準電位と前記第5の基準電位との間にあるか、前記第6の基準電位よりも高いかを検出することによってデータを読み出すことを特徴とする。

・【0024】また、本発明の不揮発性半導体メモリは、行線と、列線と、前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、前記メモリセルへのデータの書き込み、この書き込み後の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが

9

書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返し行うプログラム手段とを具備し、前記センスアンプは、複数の基準電位として、第1の基準電位、第2の基準電位、第3の基準電位、第4の基準電位、第5の基準電位、第6の基準電位の順で順次電位が高く設定された少なくとも6つの基準電位と、前記第1の基準電位と第2の基準電位の間の電位に設定された第7の基準電位と、前記第3の基準電位と第4の基準電位の間の電位に設定された第8の基準電位と、前記第5の基準電位と第6の基準電位の間の電位に設定された第9の基準電位とを用い、通常の読み出し時は、前記列線の電位が、前記第2の基準電位よりも低いか、前記第1の基準電位と前記第4の基準電位との間にあるか、前記第3の基準電位と前記第6の基準電位との間にあるか、前記第5の基準電位よりも高いかを検出することによってデータを読み出し、前記ペリファイ読み出しの時は、前記列線の電位が、前記第7の基準電位と前記第8の基準電位との間にあるか、前記第8の基準電位と前記第9の基準電位との間にあるか、前記第9の基準電位よりも高いかを検出することによってデータを読み出すことを特徴とする。

・【0025】また、本発明の不揮発性半導体メモリは、行線と、列線と、前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、前記メモリセルへのデータの書き込み、この書き込み後の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返し行うプログラム手段とを具備し、前記センスアンプは、複数の基準電位として、第1の基準電位、前記第1の基準電位よりも高い少なくとも2つの基準電位、前記少なくとも2つの基準電位よりも高い第2の基準電位の少なくとも4つの基準電位を用い、通常の読み出し時は、前記列線の電位が、第1の基準電位よりも低いか、前記第1の基準電位よりも高い少なくとも2つの基準電位同士の間にあるか、前記第2の基準電位よりも高いかを検出することによってデータを読み出し、前記ペリファイ読み出しの時は、前記少なくとも2つの基準電位の低い方の基準電位よりも低い電位の基準電位と前記少なくとも2つの基準電位の高い方の基準電位よりも高い電位の基準電位との間にあるか、前

10

記第2の基準電位よりも低い電位の基準電位よりも高いかを検出することによってデータを読み出すことを特徴とする。

・【0026】また、本発明の不揮発性半導体メモリは、行線と、列線と、前記列線に接続されるドレイン、ソース、浮遊ゲートおよび前記行線に接続される制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビットのデータを記憶するメモリセルと、前記メモリセルからのデータの読み出し時に複数の基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、前記センスアンプに供給される前記複数の基準電位を当該不揮発性半導体メモリの製造後に所定の電位に設定するための電位設定手段を具備したことを特徴とする。

・【0027】また、本発明の不揮発性半導体メモリは、行線と、列線と、前記行線にゲートが接続され、前記列線にドレインが接続されるメモリセルと、前記メモリセルからのデータの読み出し時に基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、前記列線の電位に対応して、前記基準電位を前記列線の電位との電位差が大きくなる様に変化させるように設定する基準電位設定手段を具備したことを特徴とする。

・【0028】また、本発明の不揮発性半導体メモリは、行線と、列線と、前記列線にドレインが接続されるメモリセルと、前記メモリセルからのデータの読み出し時に基準電位と前記列線の電位とを比較して前記メモリセルに記憶されたデータを検出するセンスアンプと、前記列線の電位に対応して、前記基準電位を前記列線の電位との電位差が大きくなる様に変化させるように設定する基準電位設定手段を具備したことを特徴とする。

・【0029】

・【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る不揮発性半導体メモリの一部を示す。図1に示すメモリは、例えば図19(a)を参照して前述したようなタイプのメモリセルがマトリクス状に配置されたメモリセルアレイを有する。

・【0030】図1において、1はマトリクス状に配置されたメモリセル、WLはワード線（行線）、BLはビット線（列線）、SLはソース線、2は行デコーダ、3は列デコーダ、4は列選択トランジスタ、5はビット線負荷トランジスタ、6はメモリセルのドレイン電圧を所定の値にするためのビット線電位クランプトランジスタ、7はビット線電位クランプトランジスタのゲートにバイアス電位を印加するためのバイアス回路である。

・【0031】前記メモリセル1は、ドレイン、ソース、浮遊ゲートおよび制御ゲートを有し、前記浮遊ゲートに蓄えられた電荷の量を異ならせることで複数ビット（本例では2ビット）のデータを記憶するものである。上記



## 11

ドレインは前記ビット線BLに接続されており、ソースは前記ソース線SLに接続されており、制御ゲートは前記ワード線WLに接続されている。

・【0032】8は前記メモリセル1へのデータの書き込み、この書き込み後の前記浮遊ゲートの電荷の蓄積状態をチェックするためのペリファイ読み出し、このペリファイ読み出しによって所望のデータが書き込まれたと判断した時には書き込みを終了し、前記ペリファイ読み出しによって所望のデータが書き込まれていないと判断した時には所望のデータが書き込まれたと判断するまで前記書き込みと前記ペリファイ読み出しとを繰り返すように制御するプログラム手段であり、例えばシーケンス制御回路が用いられている。

・【0033】以下、一つのメモリセルに2ビット分のデータを記憶する場合の複数の実施例について説明する。  
 <第1実施例>図2は、図1の半導体メモリ第1実施例に係る読み出し系のセンスアンプ部を示す。

・【0034】この第1実施例では、6個のセンスアンプ1A、1B、2A、2B、3A、3B（第1のセンスアンプ21～第6のセンスアンプ26）と6個（第1～第6）の基準電位1A、1B、2A、2B、3A、3Bを用いている。

・【0035】図2において、6個のセンスアンプ1A、1B、2A、2B、3A、3Bは、前記メモリセルに記憶されたデータの読み出し時に、前記メモリセルからのデータが読み出されるビット線電位（列線の電位、本例では図1中の負荷トランジスタ5とビット線電位クランプトランジスタ6との接続点の電位）が共通に入力する。

・【0036】また、上記6個のセンスアンプ1A、1B、2A、2B、3A、3Bは、前記メモリセル1からのデータの読み出し時に、それぞれ対応して第2の基準電位1B、第1の基準電位1A、第4の基準電位2B、第3の基準電位2A、第6の基準電位3B、第5の基準電位3Aが供給される。

・【0037】これにより、前記メモリセル1からのデータの読み出し時に、前記6個のセンスアンプ1A、1B、2A、2B、3A、3Bは、それぞれ対応する二入力と比較してデータを検出する。

・【0038】図3は、図2中の6個の基準電位1A、1B、2A、2B、3A、3Bとメモリセルの閾値電圧 $V_{th1} \sim V_{th4}$ に応じて決まるビット線電位1～4の高低関係を示す。

・【0039】ここで、基準電位は、第1の基準電位1A、第2の基準電位1B、第3の基準電位2A、第4の基準電位2B、第5の基準電位3A、第6の基準電位3Bの順で順次電位が高く設定されている。

・【0040】次に、この第1実施例の動作の概要を説明する。メモリセルのデータの消去時には、消去後のビッ

## 12

ト線電位を基準電位1Aよりも低くなる様に設定しておく。

・【0041】データの書き込み時には、閾値電圧 $V_{th2}$ に設定しようとするメモリセルに対しては、ビット線電位が基準電位1Bと2Aの間に設定されたことを検出して書き込みを止め、閾値電圧 $V_{th3}$ に設定しようとするメモリセルに対しては、ビット線電位が基準電位2Bと3Aの間に設定されたことを検出して書き込みを止め、閾値電圧 $V_{th4}$ に設定しようとするメモリセルに対しては、ビット線電位が基準電位3Bよりも高く設定されたことを検出して書き込みを止める。

・【0042】換言すれば、メモリセルへのデータの書き込み後の所定のデータが書き込まれたかどうかをチェックするためのペリファイ読み出し時には、ビット線電位が、第2の基準電位1Bと第3の基準電位2Aの間にあるか、第4の基準電位2Bと第5の基準電位3Aの間にあるか、第6の基準電位3Bよりも高いかを検出することによってデータを読み出す。

・【0043】これに対して、通常の読み出し時には、ビット線電位が、第2の基準電位1Bよりも低い、第1の基準電位1Aと第4の基準電位2Bの間にあるか、ビット線電位が第3の基準電位2Aと第6の基準電位3Bの間にあるか、第5の基準電位3Aよりも高く設定されているかを検出することによってデータを読み出す。

・【0044】例えば閾値電圧が $V_{th2}$ のメモリセルからデータを読み出す場合には、通常の読み出し時には、第1の基準電位1Aと第4の基準電位2Bとの間にビット線電位があることを検出し、ペリファイ読み出し時には、第2の基準電位1Bと第3の基準電位2Aとの間（通常の読み出し時よりも狭い電圧範囲内）にビット線電位があることを検出する。

・【0045】また、閾値電圧が例えば $V_{th3}$ のメモリセルからデータを読み出す場合には、通常の読み出し時には、第3の基準電位2Aと第6の基準電位3Bとの間にビット線電位があることを検出し、ペリファイ読み出し時には、第4の基準電位2Bと第5の基準電位3Aとの間（通常の読み出し時よりも狭い電圧範囲内）にビット線電位があることを検出する。

・【0046】なお、上記例では、閾値電圧が $V_{th2}$ のメモリセルからデータを読み出す時と閾値電圧が $V_{th3}$ のメモリセルからデータを読み出す時で基準電位2Bと2Aとを共用するようにしたが、前記した電位の高低関係と同様の関係の基準電位を用いれば上記したように共用する必要はないことは言うまでもない。次に、第1実施例におけるデータの読み出し動作において、図2、図3および下記の表3の真理値表を参照しながら詳細に説明する。

・【0047】

・【表3】

13

ビット線 電位	出力 1	出力 2A	出力 2B	出力 3A	出力 3B	出力 4	記憶データ	
							D1	D2
1	0	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	1
3	1	1	1	1	0	0	1	0
4	1	1	1	1	1	1	1	1

$$D1 = (\text{出力}3A) \cdot (\neg \text{出力}3B) + (\text{出力}4)$$

$$D2 = (\text{出力}2A) \cdot (\neg \text{出力}2B) + (\text{出力}4)$$

・【0048】通常の読み出し時には、第1のセンスアンプ1Aにはメモリセルからのビット線電位と第2の基準電位1Bが入力され、ビット線電位が基準電位1Bよりも低い時にはセンスアンプ1Aの出力1が‘0’にされ、高い時にはセンスアンプ1Aの出力1が‘1’にされる。

・【0049】また、第2のセンスアンプ1Bにはメモリセルからのビット線電位と第1の基準電位1Aが入力され、ビット線電位が基準電位1Aよりも低い時にはセンスアンプ1Bの出力2Aが‘0’にされ、高い時にはセ

ンスアンプ1Bの出力2Aが‘1’にされる。  
・【0050】また、第3のセンスアンプ2Aにはメモリセルからのビット線電位と第4の基準電位2Bが入力され、ビット線電位が基準電位2Bよりも低い時にはセ

ンスアンプ2Aの出力2Bが‘0’にされ、高い時にはセ  
ンスアンプ2Aの出力2Bが‘1’にされる。  
・【0051】また、第4のセンスアンプ2Bにはメモリ

セルからのビット線電位と第3の基準電位2Aが入力され、ビット線電位が基準電位2Aよりも低い時にはセ  
ンスアンプ2Bの出力3Aが‘0’にされ、高い時にはセ  
ンスアンプ2Bの出力3Aが‘1’にされる。  
・【0052】また、第5のセンスアンプ3Aにはメモリ

セルからのビット線電位と第6の基準電位3Bが入力され、ビット線電位が基準電位3Bよりも低い時にはセ  
ンスアンプ3Aの出力3Bが‘0’にされ、高い時にはセ  
ンスアンプ3Aの出力3Bが‘1’にされる。  
・【0053】また、第6のセンスアンプ3Bにはメモリ

セルからのビット線電位と第5の基準電位3Aが入力され、ビット線電位が基準電位3Aよりも低い時にはセ  
ンスアンプ3Bの出力4が‘0’にされ、高い時にはセ  
ンスアンプ3Bの出力4が‘1’にされる。  
・【0054】一つのメモリセルに記憶されている2ビット分のデータの一方のD1は、ビット線電位が基準電位2Aと基準電位3Bの間の電位にあるとき及び基準電位3Aよりも高いときに‘1’と判定され、他方のデータD2は、ビット線電位が基準電位1Aと基準電位2Bの間の電位にあるとき及び基準電位3Aよりも高いときに‘1’と判定されるので、一つのメモリセルに記憶されている2ビット分のデータ(D1、D2)は、下記の論理式で得られる。

14

・【0055】

$$D1 = (\text{出力}3A) \cdot (\neg \text{出力}3B) + (\text{出力}4)$$

$$D2 = (\text{出力}2A) \cdot (\neg \text{出力}2B) + (\text{出力}4)$$

この式から分かるように、メモリセルの記憶データの検出には、出力1は用いないので、第1のセンスアンプ1Aは特に必要ない。

・【0056】しかし、消去後のベリファイ読み出しの時には、ビット線電位が第1の基準電位1Aよりも低くなったことの検出を第1のセンスアンプ1Aで行うようにすれば良い。あるいは、消去後のベリファイ読み出しの時には、第2のセンスアンプ1Bを用いて第1の基準電位1Aよりも低くなったことを検出するようにすれば、第1のセンスアンプ1Aは必要なくなる。

・【0057】なお、通常の読み出し時に、第1のセンスアンプ1Aを使用しない時には、第2のセンスアンプ1Bに供給される第1の基準電位1Aとビット線電位1が近づくのでマージンが減少する恐れがある。このような他の基準電位との電位差が減少する恐れのある場合を表3の真理値表中に\*印を付加して示している。

・【0058】なお、図19(b)に示したようなメモリセルを用いれば、データの消去時には浮遊ゲートから十分電子を抜くことができるので、ビット線電位1と第1の基準電位1Aとの電位差を十分大きくとれ、また、図19(a)、(b)のメモリセルを用いる場合、ビット線電位4に設定する時には、十分電子を注入して選択された時にオンしないようにすれば、マージンを上げることができる。

・【0059】即ち、電子を注入する時に十分注意する必要があるのは、ビット線電位2とビット線電位3に設定する時であり、このような場合を改善するためには、第1のセンスアンプ1Aの出力1を使用すると良い。

・【0060】このような改善を図った場合の2ビット分のデータ(D1、D2)の論理式を下記に示す。

$$D1 = (\text{出力}2B) \cdot (\neg \text{出力}3B) + (\text{出力}3A) \cdot (\neg \text{出力}3B) + (\text{出力}3A) \cdot (\neg \text{出力}4) + (\text{出力}3B) + (\text{出力}4)$$

$$D2 = (\text{出力}1) \cdot (\neg \text{出力}2B) + (\text{出力}2A) \cdot (\neg \text{出力}2B) + (\text{出力}2A) \cdot (\neg \text{出力}3A) + (\text{出力}3B) + (\text{出力}4)$$

メモリセルからのデータを読み出す時には、ビット線電

15

位が安定した時においては、ビット線電位は、基準電位 1 A と 1 B との間ではなく、同様に基準電位 2 A と 2 B との間にも、同様に基準電位 3 A と 3 B との間にもない。

・【0061】従って、記憶データ D1 が '1' であることを検出するためのビット電位 3 およびビット線電位 4 を検出する時には、上記論理式に示すように検出すれば良い。即ち、ビット線電位 3 が、基準電位 2 B よりも高く且つ基準電位 3 B よりも低いか、あるいは、基準電位 2 A よりも高く且つ基準電位 3 B よりも低いか、あるいは、基準電位 2 A よりも高く且つ基準電位 3 A よりも低いか、を検知してこの時 D1 を '1' とし、あるいは、ビット線電位 4 が基準電位 3 A あるいは基準電位 3 B よりも高いことを検出して、この時 D1 を '1' としている。

・【0062】また、記憶データ D2 が '1' であることを検出するためのビット電位 2 およびビット線電位 4 を検出する時には、ビット線電位 4 が、基準電位 1 B よりも高く且つ基準電位 2 B よりも低いか、あるいは、基準電位 1 A よりも高く且つ基準電位 2 B よりも低いか、あるいは、基準電位 1 A よりも高く且つ基準電位 2 A よりも低いか、あるいは、基準電位 3 A あるいは基準電位 3 B よりも高いことを検出して、この時 D2 を '1' としている。

・【0063】これにより、ビット線電位と基準電位が最も電位差を大きくした状態でデータを読み出すことができる。図 4 は、前記第 1 実施例においてセンスアンプ部に供給する基準電位をペリファイ読み出しの時と通常の読み出しの時とで異ならせるための基準電位制御回路の一例として、基準電位をスイッチング回路によって切り替えてセンスアンプに供給する基準電位切換回路の一例を示している。

・【0064】図 4 に示す基準電位切換回路において、スイッチング回路 SW1、SW2 はそれぞれ第 1 の CMOS トランジスタ T G1 ~ 第 6 の CMOS トランジスタ T G6 からなり、この第 1 ~ 第 6 の CMOS トランジスタの各一端に対応して基準電位 1 A、1 B、2 A、2 B、3 A、3 B が入力する。

・【0065】前記スイッチング回路 SW1 の第 1 ~ 第 6 の CMOS トランジスタは、それぞれ信号 NR が '0' で信号 VER が '1' の時（ペリファイ読み出し時）にオン状態に制御され、各他端の出力を対応してセンスアンプ 1 A、1 B、2 A、2 B、3 A、3 B に供給する。

・【0066】これに対して、前記スイッチング回路 SW2 の第 1 ~ 第 6 の CMOS トランジスタは、それぞれ信号 NR が '1' で信号 VER が '0' の時（通常の読み出し時）にオン状態に制御され、各他端の出力を対応してセンスアンプ 1 B、1 A、2 B、2 A、3 B、3 A に供給する。

16

・【0067】次に、図 4 の基準電位切換回路の動作を説明する。通常の読み出しの時は、信号 NR が '1' に、信号 VER が '0' にされ、スイッチング回路 SW1 がオフし、スイッチング回路 SW2 がオンする。これにより、スイッチング回路 SW2 を通して、センスアンプ 1 A には基準電位 1 B が供給され、センスアンプ 1 B には基準電位 1 A が供給され、センスアンプ 2 A には基準電位 2 B が供給され、センスアンプ 2 B には基準電位 2 A が供給され、センスアンプ 3 A には基準電位 3 B が供給され、センスアンプ 3 B には基準電位 3 A が供給される。

・【0068】一方、ペリファイ読み出しの時には、信号 NR が '0' に、信号 VER が '1' にされ、スイッチング回路 SW1 がオンし、スイッチング回路 SW2 がオフする。これにより、スイッチング回路 SW1 を通して、センスアンプ 1 A には基準電位 1 A が供給され、センスアンプ 1 B には基準電位 1 B が供給され、センスアンプ 2 A には基準電位 2 A が供給され、センスアンプ 2 B には基準電位 2 B が供給され、センスアンプ 3 A には基準電位 3 A が供給され、センスアンプ 3 B には基準電位 3 B が供給される。

・【0069】図 5 は、前記第 1 実施例における基準電位制御回路の他の例として、センスアンプに供給する基準電位自体を通常の読み出し時とペリファイ読み出しの時とで変化させるための基準電位可変回路を示している。

・【0070】即ち、図 5 に示す基準電位可変回路において、50 は例えば複数の NMOS トランジスタが電源電位と接地電位との間に直列に接続されてなる電圧分割回路であり、トランジスタの直列接続点のうちの 2 つの節点 N1、N2 の電位（分割電位）が選択的に使用される。

・【0071】上記節点 N1 の電位は、信号 NR が '1' の時（通常の読み出し時）にオン状態に制御されるトランジスタ TR1 を通して取り出され、前記節点 N2 の電位は、信号 VER が '1' の時（ペリファイ読み出し時）にオン状態に制御されるトランジスタ TR2 を通して取り出される。

・【0072】上記トランジスタ TR1 あるいは TR2 を通して取り出された電位は、ダミーセル DM のゲート電極（メモリセルの浮遊ゲートに対応する電極）に印加される。このダミーセル DM は、ソース側が接地され、ドレイン側には負荷トランジスタ L1 が接続されており、ダミーセル DM と負荷トランジスタ L1 との接続点から出力する基準電位がセンスアンプに供給される。

・【0073】次に、図 5 の基準電位可変回路の動作を説明する。図 5 の基準電位可変回路は、ダミーセル DM のゲート電極に電位を供給し、この電位を通常の読み出し時とペリファイ読み出し時とで変化させるようにして基準電位を変化させるようにしている。

50 ・【0074】メモリセルは、そのチャネル領域は、実質

17

的に浮遊ゲートの電位で制御されるので、図5に示すようにメモリセルと等価なダミーセルDMの浮遊ゲートに対応したゲート電極に直接電圧を供給してやれば、メモリセルの浮遊ゲートの電位の状態をダミーセルDMに作ることができるので、メモリセルの浮遊ゲートの電荷の蓄積状態に対応して基準電位を正確に作ることができる。

・【0075】基準電位1Aを作る時には、ビット線電位1の時のメモリセルの浮遊ゲートの電位とビット線電位2の時のメモリセルの浮遊ゲートの電位との間の電位をダミーセルDMのゲート電極に供給するようにすれば良い。

・【0076】基準電位1Bを作る時には、ビット線電位1の時のメモリセルの浮遊ゲートの電位とビット線電位2の時のメモリセルの浮遊ゲートの電位との間で、基準電位1Aの時のゲート電位よりも低い所定の電位をダミーセルDMのゲート電極に供給するようにすれば良い。

・【0077】基準電位2Aを作る時には、ビット線電位2の時のメモリセルの浮遊ゲートの電位とビット線電位3の時のメモリセルの浮遊ゲートの電位との間の電位をダミーセルDMのゲート電極に供給するようにすれば良い。

・【0078】基準電位2Bを作る時には、ビット線電位2の時のメモリセルの浮遊ゲートの電位とビット線電位3の時のメモリセルの浮遊ゲートの電位との間で、基準電位2Aの時のゲート電位よりも低い所定の電位をダミーセルDMのゲート電極に供給するようにすれば良い。

・【0079】基準電位3Aを作る時には、ビット線電位3の時のメモリセルの浮遊ゲートの電位とビット線電位4の時のメモリセルの浮遊ゲートの電位との間の電位をダミーセルDMのゲート電極に供給するようにすれば良い。

・【0080】基準電位3Bを作る時には、ビット線電位3の時のメモリセルの浮遊ゲートの電位とビット線電位4の時のメモリセルの浮遊ゲートの電位との間で、基準電位3Aの時のゲート電位よりも低い所定の電位をダミーセルDMのゲート電極に供給するようにすれば良い。

・【0081】例えば図5は第1実施例における図2中のセンスアンプ2Aに基準電位を供給する時の例を示しており、通常の読み出しの場合、信号NRは'1'に、信号VERは'0'に設定され、トランジスタTR1はオンし、トランジスタTR2はオフするので、電圧分割回路50の節点N1の電位がトランジスタTR1を通してダミーセルDMの浮遊ゲートに対応したゲート電極に供給され、ダミーセルDMと負荷トランジスタL1との接続点から基準電位2Bが出力されセンスアンプ2Aに供給される。

・【0082】また、ペリファイ読み出しの場合、信号NRは'0'に、信号VERは'1'に設定され、トランジスタTR1はオフし、トランジスタTR2はオンする

18

ので、電圧分割回路50の節点N1の電位よりも高い節点N2の電位がトランジスタTR2を通してダミーセルDMの浮遊ゲートに対応したゲート電極に供給され、ダミーセルDMと負荷トランジスタL1との接続点から基準電位2Bよりも所定の電位だけ低い基準電位2Aが出力されセンスアンプ2Aに供給される。他のセンスアンプにおいても通常の読み出しのときと、ペリファイ読み出しのときとでダミーセルDMの浮遊ゲートに対応したゲート電極に、所定の電位を与えるようにして必要な基準電位を得るように、電圧分割回路の対応する節点の電位を、スイッチング制御されるトランジスタを通して供給するようにする。

・【0083】即ち、上記したように第1実施例においては、閾値電圧が $V_{th2}$ のメモリセルと $V_{th3}$ のメモリセルを検出する時は、図18に示した従来例のように同一の基準電位2の電位よりも低いか高いかを検出しているのではなく、図3に示したように $V_{th2}$ のメモリセルを検出する時には基準電位2Bよりも低い電位であるか否かを検出し、 $V_{th3}$ のメモリセルを検出する時には、この基準電位2Bよりも低い基準電位2Aよりも高い電位であるか否かを検出するようにしている。

・【0084】即ち、 $V_{th2}$ と $V_{th3}$ とを検出するために異なる基準電位を用いるようにしているので、基準電位とビット線電位との電位差を大きくとることができ、これにより、読み出し速度を速くできるとともに読み出しマージンを大きくすることができる。

・【0085】＜第2実施例＞この第2実施例では、図6に示すように、ペリファイ読み出し時には、前記第1実施例と同様に基準電位1A、1B、2A、2B、3A、3Bを用いてペリファイ読み出しを行ってビット線電位が所定の電位に設定されたかを検出する。そして、通常の読み出し時には、基準電位1Aと1Bとの間、基準電位2Aと2Bとの間、基準電位3Aと3Bとの間にそれぞれ基準電位を設け、この3個の基準電位を利用して読み出しを行う。

・【0086】このようにしても、従来例の場合よりも、ビット線電位と基準電位との差を大きくでき、マージンが広がるとともに、通常の読み出しの時のセンスアンプは3個で良いので、センスアンプ部での消費電流を従来と同等に抑えられる。

・【0087】＜第3実施例＞この第3実施例では、図7に示すように、通常の読み出し時には、前記第1実施例と同様に基準電位1A、1B、2A、2B、3A、3Bを用いて読み出しを行う。そして、ペリファイ読み出し時には、基準電位1Aと1Bとの間、基準電位2Aと2Bとの間、基準電位3Aと3Bとの間にそれぞれ基準電位を設け、この3個の基準電位を利用してビット線電位が所定の電位に設定されたかを検出する。

・【0088】このようにしても、従来例の場合よりも、通常の読み出しの時のビット線電位と基準電位との差を

19

大きくでき、マージンが広がる。ところで、図 21 に示したように、データの消去および書き込み後のメモリセルの閾値電圧は、各メモリセルごとの特性のばらつきによって、設定する閾値電圧毎にある分布を持ってばらつく。また、この分布は、分布自体が破線で示したように各チップによって変化する。このような問題に対応するようにした第 4 実施例を以下に説明する。

・【0089】＜第 4 実施例＞図 8 は、図 1 の半導体メモリの第 4 実施例に係る読み出し系のセンスアンプ部を示す。

・【0090】図 8 に示すセンスアンプ部では、それぞれ電位の異なった 3 組の基準電位を用意しており、3 組の基準電位の内の一組が信号 S1～S3 による制御により 3 個のスイッチ回路 1～3（第 1 のスイッチ回路 84～第 3 のスイッチ回路 86）で選択されて 3 個のセンスアンプ 1～3（第 1 のセンスアンプ 81～第 3 のセンスアンプ 83）に供給されることによってデータを読み出す。

・【0091】信号 S1 が '1'、信号 S2、S3 が共に '0' の場合には、スイッチ回路 1 が選択され、このスイッチ回路 1 を通して基準電位 1A、2A、3A がそれぞれ対応してセンスアンプ 1、2、3 に供給される。

・【0092】信号 S2 が '1'、信号 S1、S3 が共に '0' の場合には、スイッチ回路 2 が選択され、このスイッチ回路 2 を通して基準電位 1B、2B、3B がそれぞれ対応してセンスアンプ 1、2、3 に供給される。

・【0093】信号 S3 が '1'、信号 S1、S2 が共に '0' の場合には、スイッチ回路 3 が選択され、このスイッチ回路 3 を通して基準電位 1C、2C、3C がそれぞれ対応してセンスアンプ 1、2、3 に供給される。

・【0094】これら基準電位の高低関係は図 9 に示すようになっており、例えばセンスアンプ 1 に基準電位 1 として供給する基準電位 1A、1B、1C は、この順で順次電位が高くなっている。即ち、スイッチ回路 1 を通して供給される基準電位 1 は、基準電位 1、2、3 の内で最も低く、スイッチ回路 2 を通して供給される基準電位 2 は、基準電位 1、2、3 の内で 2 番目に高い電位であり、スイッチ回路 3 を通して供給される基準電位 3 は、基準電位 1、2、3 の内で最も高い電位である。

・【0095】なお、前記信号 S1～S3 を '0' あるいは '1' に設定する制御は、フューズ素子（図示せず）を設けておき対応するフューズ素子を切断して設定しても良いし、メモリセルと同じトランジスタ（図示せず）を用意してその浮遊ゲートに電子を注入するかしないかによって設定しても良い。

・【0096】また、図 8 では、それぞれ電位の異なった 3 組の基準電位を用意した例を示したが、3 組に限らず、複数組の基準電位を用意すれば良い。即ち、上記したように第 4 実施例では、複数（n）組の基準電位を用意しておき、各チップ毎にそれぞれの記憶データに対応

20

したビット線電位の分布やばらつきを調べ、複数の信号 S1～Sn で、最適の組の基準電位を選択してセンスアンプに供給する。これにより、各チップ毎に最適の基準電位を供給できるので、データの読み出し速度が向上するという利点がある。

・【0097】＜第 5 実施例＞図 10 は、図 1 の半導体メモリの第 5 実施例に係る読み出し系のセンスアンプ部を示す。

・【0098】図 11 は、図 10 中の基準電位 1、2、3 とビット線電位 1、2、3、4 との高低関係を示している。この第 5 実施例では、3 個のセンスアンプ 1、2、3（第 1 のセンスアンプ 101～第 3 のセンスアンプ 103）と 6 個（第 1～第 6）の基準電位 1A、1B、2A、2B、3A、3B を用いており、センスアンプ 1、2、3 に供給する基準電位 1、2、3 を、通常の読み出し時にビット線電位に応じて変化させることにより、通常の読み出し時のマージンを上げるようにしている。

・【0099】なお、ペリファイ読み出しの時には、前記した各実施例と同様の読み出し方法を適用しても良いし、従来例の読み出し方法を適用しても良い。次に、第 5 実施例による通常の読み出し時の読み出し方法について説明する。例えばビット線電位 1 を検出する時は、図 11 中に示す基準電位 1B が基準電位 1 としてセンスアンプ 1 に供給され、図 11 中に示す基準電位 2B が基準電位 2 としてセンスアンプ 2 に供給され、図 11 に示す基準電位 3B が基準電位 3 としてセンスアンプ 3 に供給される。

・【0100】これにより、ビット線電位 1 は基準電位 1B とセンスアンプ 1 で比較されることになり、お互いの電位差を大きくできる。即ち、例えばデータが外部に出力される時に、外部端子を充放電する時の電流による電源電圧の揺れに対してマージンを大きくできる。

・【0101】次に、異なるメモリセルが選択されて、ビット線電位がビット線電位 1 からビット線電位 2 に変化していく場合には、ビット線電位が充電されて行き、ビット線電位が基準電位 1B よりも高くなった時に、センスアンプ 1 の出力 1 がその論理レベルを '0' から '1' に変化させ、この変化に基づいてセンスアンプ 1 に供給される基準電位 1 が基準電位 1A に変化するように制御される。

・【0102】これにより、ビット線電位がビット線電位 2 の位置になった時にビット線電位 2 と基準電位 1（基準電位 1A）との電位差を大きくできる。上記したように電源変動が大きいのは、データが外部に出力される時であり、この時、基準電位とビット線電位の差が小さければ、お互いに反対の電位方向に電源変動によってなってしまった時には、間違えてデータが出てしまう。

・【0103】そこで、上記したように基準電位とビット線電位の差は大きい方が良いが、この第 5 実施例では、センスアンプ部の出力が変化し、この変化が例えば出力

21

バッファ回路（図示せず）に伝達され、この出力バッファ回路からデータが外部に出力されるまでの時間に、基準電位 1 が 1 B から 1 A に変化して基準電位とビット線電位の差が大きくなるようにしているの、読み出しマージンを大きくすることができる。

・【0104】なお、ビット線電位 2 の時にセンスアンプ 2、3 に供給される基準電位 2、3 は、ビット線電位 1 を検出する時から変化しない。ビット線電位 2 からビット線電位 1 に変化する時には、ビット線が放電されて行き、ビット線電位が基準電位 1 A よりも低くなった時に、センスアンプ 1 の出力 1 がその論理レベルを変化させ、この変化に基づいてセンスアンプ 1 に供給される基準電位 1 が基準電位 1 B に変化するよう制御される。

・【0105】ビット線電位 2 がビット線電位 3 に変化していく場合には、ビット線が充電されて行き、ビット線電位が基準電位 2 B よりも高くなった時に、センスアンプ 2 の出力 2 がその論理レベルを変化させ、この変化に基づいてセンスアンプ 2 に供給される基準電位 2 が基準電位 2 A に変化するよう制御される。この時、センス \*

22

\*アンプ 1、3 に供給される基準電位は変化しない。

・【0106】ビット線電位 3 がビット線電位 2 に変化する時には、ビット線が放電されて行き、ビット線電位が基準電位 2 A よりも低くなった時に、センスアンプ 2 の出力 2 がその論理レベルを変化させ、この変化に基づいてセンスアンプ 2 に供給される基準電位 2 が基準電位 2 B に変化するよう制御される。

・【0107】ビット線電位 3 がビット線電位 4 に変化していく場合には、ビット線が充電されて行き、ビット線電位が基準電位 3 B よりも高くなった時に、センスアンプ 3 の出力 3 がその論理レベルを変化させ、この変化に基づいてセンスアンプ 3 に供給される基準電位 3 が基準電位 3 A に変化するよう制御される。この時、センスアンプ 1、2 に供給される基準電位は変化しない。下記の表 4 は、図 10 中のセンスアンプ 1～3 の出力 1～3 とメモリセルに記憶されているデータ（D1、D2）との関係を表わす。

・【0108】

・【表 4】

出力1	出力2	出力3	記憶データ	
			D1	D2
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

・【0109】＜第 5 実施例の基準電位供給回路 1＞図 12 は、前記第 5 実施例におけるセンスアンプ部に基準電位を供給する回路の一例を示す。

・【0110】図 12 に示す基準電位供給回路において、センスアンプ 1 は、ビット線電位、基準電位がゲートに入力する一対の NMOS トランジスタと、これらの NMOS トランジスタの負荷として接続された PMOS カレントミラー回路とからなる差動型の電圧比較回路を有する。そして、この電圧比較回路でビット線電位を基準電位 1 を比較した出力をインバータ回路 I1 を介して出力する。

・【0111】上記センスアンプ 1 の出力は、インバータ回路 I2 により反転されて信号 B となり、また、インバータ回路 I4 により反転されて信号 C となる。一方、基準電位 1 A は PMOS トランジスタ Tr1 および NMOS トランジスタ Tr2 からなる第 1 のスイッチ回路の一端に入力し、基準電位 1 B は PMOS トランジスタ Tr3 および NMOS トランジスタ Tr4 からなる第 2 のスイッチ回路の一端に入力する。上記第 1 のスイッチ回路

は、前記信号 B およびそれをインバータ回路 I3 により反転させた信号により制御され、前記第 2 のスイッチ回路は、前記信号 C およびそれをインバータ回路 I5 により反転させた信号により制御される。本例では、信号 B が '0' レベルの時に第 1 のスイッチ回路がオンになり、信号 C が '1' レベルの時に第 2 のスイッチ回路がオンになる。

・【0112】なお、図 12 の回路は、通常の読み出しに関する回路部分のみを示している。また、図 12 は、センスアンプ 1 およびそれに対応する基準電位 1 を切換供給する基準電位切換回路を示しているが、センスアンプ 2、3 およびそれらに対応する基準電位切換回路も同様に構成できる。

・【0113】次に、図 12 の基準電位切換回路の動作を説明する。ビット線電位がビット線電位 1 の場合は、基準電位 1 よりもビット線電位の方が低いので、差動型のセンスアンプ 1 の節点 A は '1' となり、この節点 A の電位が入力されるインバータ I1 の出力であるセンスアンプ 1 の出力 1 は '0' となる。この出力 1 が入力され



23

るインバータ I 2、インバータ I 4 のそれぞれの出力 B、C は共に '1' となり、出力 B が入力されるインバータ I 3 の出力 /B は '0' になり、出力 C が入力されるインバータ I 5 の出力 /C も '0' になる。

・【0114】これにより、トランジスタ Tr 1、Tr 2 はオフし、トランジスタ Tr 3 およびトランジスタ Tr 4 がオンし、このオン状態のトランジスタ Tr 3、Tr 4 を通して基準電位 1 B が基準電位 1 としてセンスアンプ 1 に供給される。

・【0115】次に、ビット線が充電され、ビット線電位が基準電位 1 B よりも高くなると、節点 A が '0' になり、この節点 A の電位が入力されるインバータ I 1 の出力である出力 1 は '1' となる。この出力 1 が入力されるインバータ I 2、インバータ I 4 のそれぞれの出力 B、C は共に '0' となり、出力 B が入力されるインバータ I 3 の出力 /B は '1' になり、出力 C が入力されるインバータ I 5 の出力 /C も '1' になる。

・【0116】これにより、トランジスタ Tr 1、Tr 2 はオンし、トランジスタ Tr 3 およびトランジスタ Tr 4 がオフし、上記オン状態のトランジスタ Tr 1、Tr 2 を通して基準電位 1 A が基準電位 1 としてセンスアンプ 1 に供給される。

・【0117】ビット線電位 2 からビット線電位 1 に変化する時には、ビット線が放電され、ビット線電位が基準電位 1 A よりも低くなった時に、センスアンプ 1 の出力 1 が '0' に変化し、この出力 1 が入力されるインバータ I 2、インバータ I 4 のそれぞれの出力 B、C は共に '1' となり、出力 B が入力されるインバータ I 3 の出力 /B は '0' になり、出力 C が入力されるインバータ I 5 の出力 /C も '0' になる。

・【0118】これにより、トランジスタ Tr 1、Tr 2 はオフし、トランジスタ Tr 3 およびトランジスタ Tr 4 がオンし、このオン状態のトランジスタ Tr 3、Tr 4 を通して基準電位 1 B が基準電位 1 としてセンスアンプ 1 に供給される。

・【0119】また、ビット線電位 2 がビット線電位 3 に変化していく場合には、ビット線が充電されていくが、基準電位 1 よりもビット線電位の方が高いので、センスアンプ 1 の出力 1 は '1' のままであり、前記トランジスタ Tr 1、Tr 2 を通して基準電位 1 A が基準電位 1 としてセンスアンプ 1 に供給される。

・【0120】上記したように、図 12 の回路では、トランジスタ Tr 1、Tr 2 をそれぞれインバータ I 2、I 3 の出力で制御し、トランジスタ Tr 3、Tr 4 をそれぞれインバータ I 5、I 4 の出力で制御した。この理由は、各インバータの回路閾値電圧を異ならせることによって、トランジスタ Tr 1、Tr 2、Tr 3、Tr 4 が同時にオフすることが無いように、即ち、トランジスタ Tr 1、Tr 2、Tr 3、Tr 4 が同時にオフすることによって基準電位 1 が電氣的に浮遊状態にならないよう

24

に、トランジスタ Tr 1、Tr 2 のオンする期間とトランジスタ Tr 3、Tr 4 がオンする期間とが一時的に重なるようにするためである。

・【0121】なお、図 12 の回路では、基準電位 1 を安定化させるために、センスアンプ 1 の基準電位入力ノードと接地ノードとの間に容量 C を接続したが、これは特に必要ない。

・【0122】＜第 5 実施例の基準電位供給回路 2＞図 13 は、前記第 5 実施例におけるセンスアンプ部に基準電位を供給する回路の他の例を示す。

・【0123】図 13 に示す基準電位供給回路において、センスアンプ 1 は、ビット線電位、基準電位がゲートに入力する一対の NMOS トランジスタと、これらの NMOS トランジスタの負荷として接続された PMOS カレシトミラー回路とからなる差動型の電圧比較回路を有する。そして、この電圧比較回路でビット線電位を基準電位 1 と比較した出力をインバータ回路 I 8 を介して出力する。

・【0124】上記インバータ回路 I 8 の出力は、インバータ回路 I 6 により反転されて信号 /VR となる。一方、基準電位 1 A は PMOS トランジスタ Tr 1 および NMOS トランジスタ Tr 2 からなる第 1 のスイッチ回路の一端に入力し、基準電位 1 B は PMOS トランジスタ Tr 3 および NMOS トランジスタ Tr 4 からなる第 2 のスイッチ回路の一端に入力する。上記第 1 のスイッチ回路および第 2 のスイッチ回路は、それぞれ前記信号 /VR およびそれをインバータ回路 I 7 により反転させた信号 VR により相補的にオン／オフ状態に制御される。本例では、信号 /VR が '0' レベルの時に第 1 のスイッチ回路がオンになり、信号 /VR が '1' レベルの時に第 2 のスイッチ回路がオンになる。

・【0125】即ち、図 13 の基準電位切換回路は、図 12 に示した基準電位切換回路のようなトランジスタ Tr 1、Tr 2、Tr 3、Tr 4 をそれぞれ異なるインバータの出力で制御するのではなく、トランジスタ Tr 1、Tr 4 をインバータ I 6 の出力で、トランジスタ Tr 2、Tr 3 をインバータ I 7 の出力で制御するようにして、図 12 中の基準電位切換回路に比ベインバータの数を減らすようにしたものである。

・【0126】なお、図 13 の回路では、通常の読み出しに関する回路部分のみを示している。また、図 13 は、センスアンプ 1 およびそれに対応する基準電位を切換供給する基準電位切換回路を示しているが、センスアンプ 2、3 およびそれらに対応する基準電位切換回路も同様に構成できる。

・【0127】次に、図 13 の基準電位切換回路の動作を説明する。N チャネルトランジスタ Tr 2、Tr 4 の閾値電圧を共に  $V_{thn}$  とし、P チャネルトランジスタ Tr 1、Tr 3 の閾値電圧を共に  $V_{thp}$  ( $V_{thp}$  は負の値) とする。また、インバータ I 6 の出力信号を /VR、イ

10

20

30

40

50

25

シバータ 17 の出力信号を VR とすれば、基準電位 1 A に関しては、 $VR - V_{thn} \geq$  基準電位 1 A ならば基準電位 1 = 基準電位 1 A となる。

・【0128】 $VR - V_{thn} <$  基準電位 1 A ならば基準電位 1 の電位が  $VR - V_{thn}$  よりも高いときには  $Tr_2$  はオフし、 $VR - V_{thn}$  よりも低いときには基準電位 1 が  $VR - V_{thn}$  の電位まで充電されて  $Tr_2$  はオフする。

・【0129】 $\swarrow VR - V_{thp} <$  基準電位 1 A ならば基準電位 1 = 基準電位 1 A となる。 $\swarrow VR - V_{thp} \geq$  基準電位 1 A ならば基準電位 1 の電位が  $\swarrow VR - V_{thp}$  よりも低いときには  $Tr_1$  はオフし、 $\swarrow VR - V_{thp}$  よりも高いときには基準電位 1 が  $\swarrow VR - V_{thp}$  の電位まで放電されて  $Tr_1$  はオフする。

・【0130】基準電位 1 B に関しては、 $\swarrow VR - V_{thn} \geq$  基準電位 1 B ならば基準電位 1 = 基準電位 1 B となる。 $\swarrow VR - V_{thn} <$  基準電位 1 B ならば基準電位 1 の電位が  $\swarrow VR - V_{thn}$  よりも高いときには  $Tr_4$  はオフし、 $\swarrow VR - V_{thn}$  よりも低いときには基準電位 1 が  $\swarrow VR - V_{thn}$  の電位まで充電されて  $Tr_4$  はオフする。

・【0131】 $VR - V_{thp} <$  基準電位 1 B ならば基準電位 1 = 基準電位 1 B となる。 $VR - V_{thp} \geq$  基準電位 1 B ならば基準電位 1 の電位が  $VR - V_{thp}$  よりも低いときには  $Tr_3$  はオフし、 $VR - V_{thp}$  よりも高いときには基準電位 1 が  $VR - V_{thp}$  の電位まで放電されて  $Tr_3$  はオフする。

・【0132】基準電位 1 が電氣的に浮遊状態にないのは、 $VR - V_{thn} \geq$  基準電位 1 A、あるいは、 $\swarrow VR - V_{thp} <$  基準電位 1 A、あるいは、 $\swarrow VR - V_{thn} \geq$  基準電位 1 B、あるいは、 $VR - V_{thp} <$  基準電位 1 B のいずれかの時である。ここで、VR について考えると、基準電位 1 が電氣的に浮遊状態にない VR は、 $VR \geq$  基準電位 1 A +  $V_{thn}$ 、あるいは、 $VR <$  基準電位 1 B +  $V_{thp}$  の場合であり、基準電位 1 が電氣的に浮遊状態にない  $\swarrow VR$  は、 $\swarrow VR <$  基準電位 1 A +  $V_{thp}$ 、あるいは、 $\swarrow VR \geq$  基準電位 1 B +  $V_{thn}$  の場合である。

・【0133】即ち、信号  $\swarrow VR$ 、VR が図 14 中の領域 A の範囲あるいは領域 B の範囲になった時に基準電位 1 が電氣的に浮遊状態になる恐れがあるが、これは時間的に短ければ特に問題はない。

・【0134】<第 5 実施例の基準電位供給回路 3> 図 15 は、前記第 5 実施例におけるセンスアンプ部に基準電位を供給する回路のさらに他の例を示す。

・【0135】図 15 に示す基準電位供給回路において、DM はメモリセルと等価なトランジスタで形成された基準電位生成用のダミーセル、L1、L2 は前記ダミーセル DM に接続されている負荷トランジスタ用の PMOS トランジスタであり、ダミーセル DM と負荷トランジスタとの接続節点に出力する信号をセンスアンプ部に供給する。

・【0136】この場合、ダミーセル DM の負荷トランジ

26

スタとして、2 個の第 1 の負荷トランジスタ L1、第 2 の負荷トランジスタ L2 を用いている。第 1 の負荷トランジスタ L1 のゲートは接地電位に接続されており、第 2 の負荷トランジスタ L2 はゲートは信号 VR が印加される。この信号 VR は、前記した図 13 中の信号 VR と同じようにして得られるものである。

・【0137】即ち、図 15 の基準電位供給回路は、前記した図 12 あるいは図 13 に示した基準電位供給回路のように基準電位 1 A と基準電位 1 B をスイッチング回路で切り替えて基準電位 1 としてセンスアンプ 1 に供給するものではなく、メモリセルと等価なトランジスタで形成されたダミーセル DM と第 1 の負荷トランジスタ L1 および第 2 の負荷トランジスタ L2 とで基準電位を供給するようにしたものである。

・【0138】なお、図 15 は、センスアンプ 1 に対応する基準電位を供給する基準電位供給回路を示しているが、センスアンプ 2、3 に対応する基準電位供給回路も同様に構成できる。

・【0139】次に、図 15 の基準電位供給回路の動作を説明する。信号 VR が '0' の時は、第 2 の負荷トランジスタ L2 がオンし、2 個の負荷トランジスタ L1、L2 がメモリセルに対する負荷トランジスタとなる。この時、基準電位 1 として基準電位 1 B に相当するものが生成される。

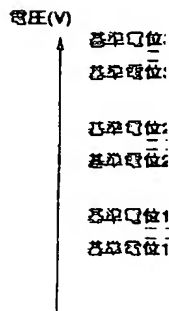
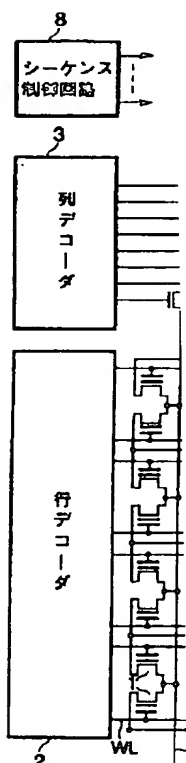
・【0140】これに対して、信号 VR が '1' の時には、第 2 の負荷トランジスタ L2 がオフし、第 1 の負荷トランジスタ L1 のみがメモリセルに対する負荷トランジスタとなるので、この時、基準電位 1 として、前記第 1、第 2 の負荷トランジスタが両方ともオンした時よりも低い電位の基準電位 1 A に相当するものが生成される。

・【0141】即ち、ビット線電位 1 の時には信号 VR が '0' であるので、第 2 の負荷トランジスタ L2 がオンし、基準電位 1 として基準電位 1 B に相当するものをセンスアンプ 1 へ供給し、ビット線電位が上昇して基準電位 1 (基準電位 1 B) よりも高くなると信号 VR が '1' となり、第 2 の負荷トランジスタ L2 がオフし、基準電位 1 として基準電位 1 B よりも低い電位の基準電位 1 A に相当する電位に切り替えてセンスアンプ 1 に供給する。

・【0142】上記した図 15 の基準電位供給回路を使用すれば、基準電位が電氣的に浮遊状態にはならないので、電氣的に浮遊状態になることを特に考慮する必要はない。なお、図 12 ~ 図 15 に示した第 5 実施例においては、ビット線電位の変化に対応して基準電位をビット線電位と基準電位との差が大きくなる方向に変化させることが特徴であり、一つのメモリセルの 2 ビット分のデータを記憶するようにしたものにかぎらず、一つのメモリセルに 1 ビット分のデータを記憶するようにしたものにも適用できることは言うまでもない。



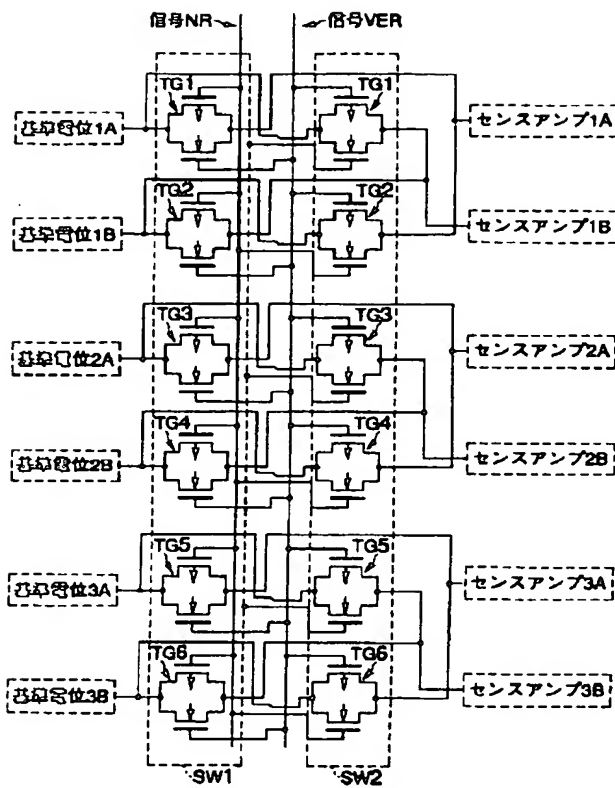
- ・【図21】図1  
の閾値電圧の分  
・【符号の説明】



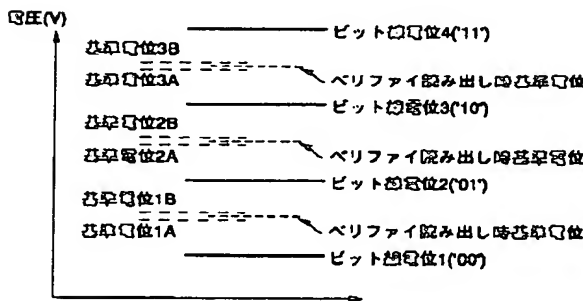
- ・【0143】また、上記各実施例では、一つのメモリセルに2ビット分のデータを記憶した場合を例に説明したが、この例に限らず、一つのメモリセルに何ビット分のデータを記憶しても良いことは言うまでもない。
- ・【0144】次に、一つの不揮発性メモリセルに1.5ビット分のデータを記憶するメモリについて説明する。
- ・【第6実施例】図16は、図1の半導体メモリの第6実施例として、一つのメモリセルに1.5ビット分のデータを記憶させる場合にセンスアンプ部で用いる基準電位とビット線電位の高低関係を示す。
- ・【0145】この第6実施例では、4個の基準電位1A、1B、3A、3Bを用いて、ビット線電位を3種類(ビット線電位1、2、3)に区別し、つまり、一つのメモリセルの閾値電圧を3つに区別している。
- ・【0146】従って、このようなメモリセルを二つ用いることにより、二つのメモリセルの閾値電圧の9通りの組み合わせの内8通りを選択して3ビット分のデータ(D1、D2、D3)を記憶させることが可能になる。
- ・【0147】この第6実施例でも、前記各実施例に準じた方法で読み出しを行えば良い。
- ・【発明の効果】上述したように本発明の不揮発性半導体メモリによれば、ペリファイ読み出しの時の基準電位とビット線電位の電位差よりも、通常の読み出しの時の基準電位とビット線電位との電位差を大きくするようにしているので、通常の読み出しの時のデータの読み出しのマージンを従来に比べ大きくでき、また、チップが完成してからそのチップの書き込み状態に対応して基準電位を設定することができるので、各チップ毎に最適に基準電位を供給できるという利点を有する。
- ・【0148】さらに、本発明の不揮発性半導体メモリでは、ビット線の電位に対応してセンスアンプに供給する基準電位をビット線と基準電位との電位差が大きくなるように変化させるように制御するので、上記と同様に通常の読み出しのマージンをさらに大きくすることができる。
- ・【図面の簡単な説明】
- ・【図1】本発明の第1の実施の形態に係る不揮発性半導体メモリの一部を示す回路図。
- ・【図2】図1の半導体メモリの第1実施例に係る読み出し系のセンスアンプ部を示すブロック図。
- ・【図3】図2中の複数の基準電位1A、1B、2A、2B、3A、3Bとメモリセルの閾値電圧に応じて決まるビット線電位1～4の高低関係を説明するために示す図。
- ・【図4】図1の半導体メモリの第1実施例に係るセンスアンプ部に供給する基準電位をペリファイ読み出しの時と通常の読み出しの時とで異ならせるための基準電位制御回路の一例として基準電位切換回路の一例を示す回路図。

- ・【図5】図1の半導体メモリの第1アンプ部に供給する基準電位をペリと通常の読み出しの時とで異ならせる御回路の第1実施例における基準電位として基準電位可変回路を示す回路。
- ・【図6】図1の半導体メモリの第2アンプ部に供給する基準電位をペリと通常の読み出しの時とで異ならせめに示す図。
- ・【図7】図1の半導体メモリの第3アンプ部に供給する基準電位をペリと通常の読み出しの時とで異ならせめに示す図。
- ・【図8】図1の半導体メモリの第4し系のセンスアンプ部を示すブロック。
- ・【図9】図8中のセンスアンプ1、複数組の基準電位の高低関係を説明。
- ・【図10】図1の半導体メモリの第出し系のセンスアンプ部を示すブロック。
- ・【図11】図10中の基準電位1、位1、2、3、4との高低関係を説明図。
- ・【図12】図10中のセンスアンプする回路の一例を示す回路図。
- ・【図13】図10中のセンスアンプする回路の他の例を示す回路図。
- ・【図14】図13中の信号/V<sub>R</sub>、状態になる恐れがある領域Aあるために示す図。
- ・【図15】図10中のセンスアンプする回路のさらに他の例を示す回路図。
- ・【図16】図1の半導体メモリの一つのメモリセルに1.5ビット分のデータにセンスアンプ部で用いる基準電位の高低関係を説明するために示す。
- ・【図17】一つの不揮発性メモリセルにデータを記憶するようにした不揮発性メモリセルの読み出し系のセンスアンプ部を示す回路図。
- ・【図18】図17のメモリにおける圧に応じた読み出し電位(ビット線電位とメモリセルに記憶する2ビット線電位と)を説明するために示す図。
- ・【図19】一つの不揮発性メモリセルにデータを記憶するようにした不揮発性メモリセルの相面構造を示す図。
- ・【図20】図17のメモリにおけるデータの一般的な書き込みと消去を説明する図。

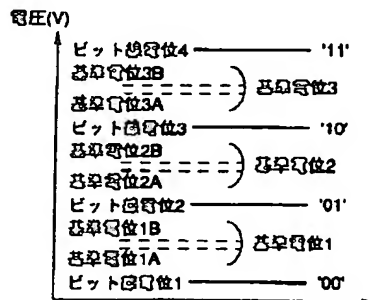
〔図 4〕



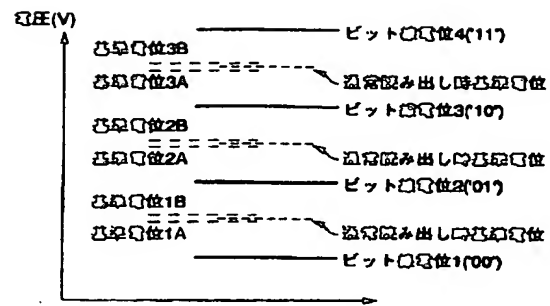
〔図 7〕



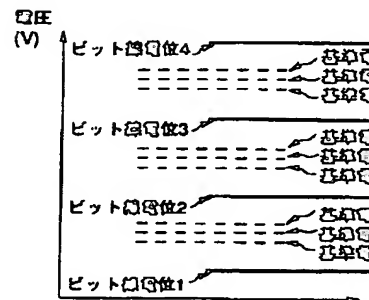
〔図 1 1〕



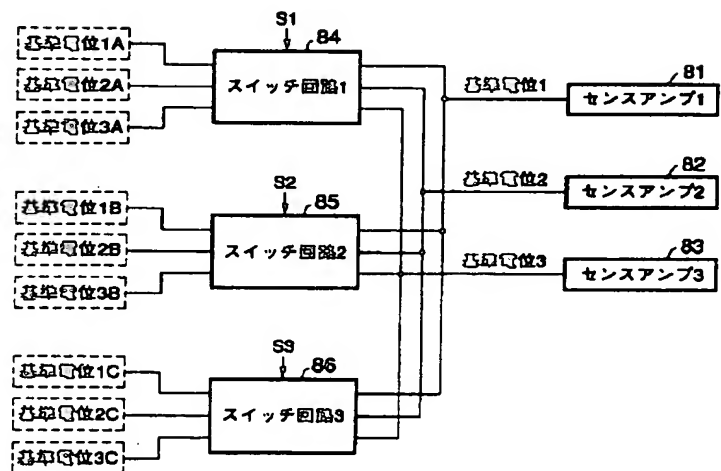
〔図 6〕



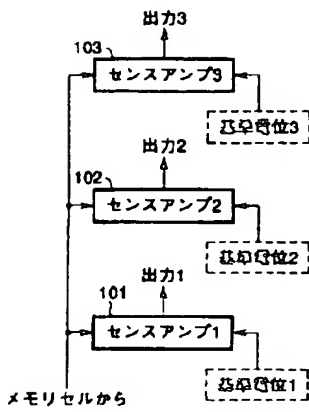
〔図 9〕



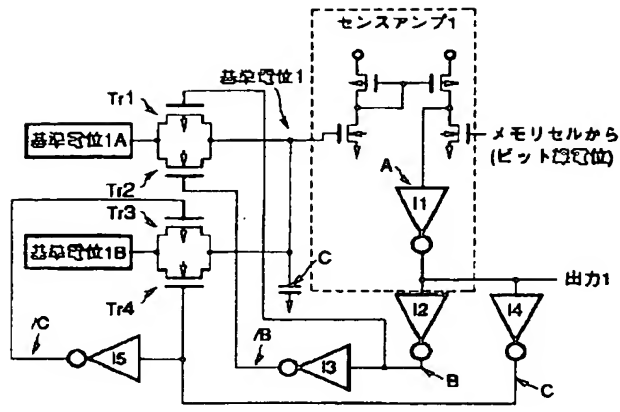
〔図 8〕



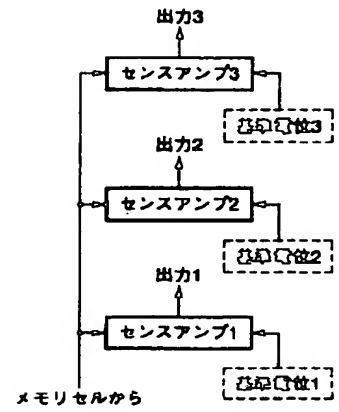
・【図 10】



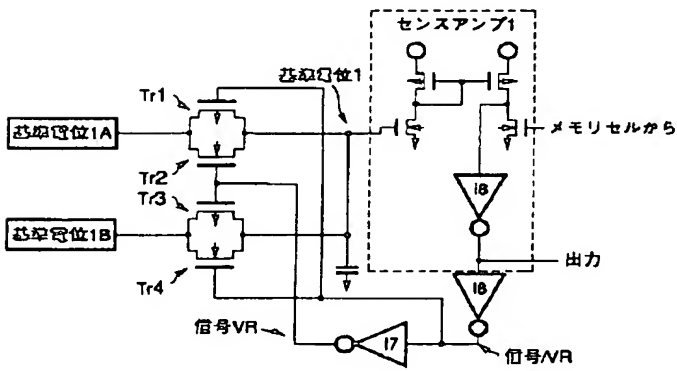
・【図 12】



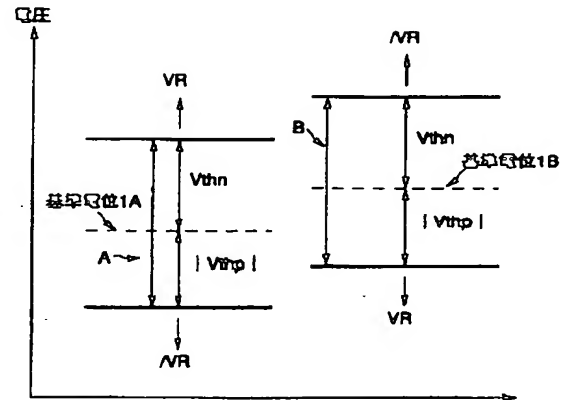
・【図 17】



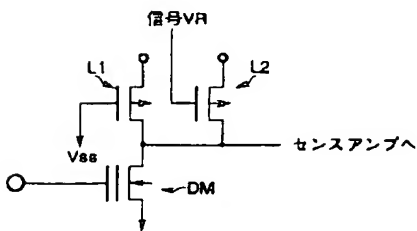
・【図 13】



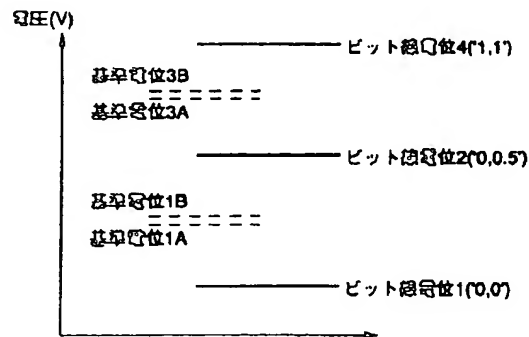
・【図 14】



・【図 15】



・【図 16】



・【図 21】

